

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-68539

(43)公開日 平成11年(1999)3月9日

(51)Int.Cl.⁶

H03K 17/22

識別記号

F I

H03K 17/22

E

審査請求 未請求 請求項の数5 OL (全11頁)

(21)出願番号 特願平9-214497

(22)出願日 平成9年(1997)8月8日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 杉村 直昭

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

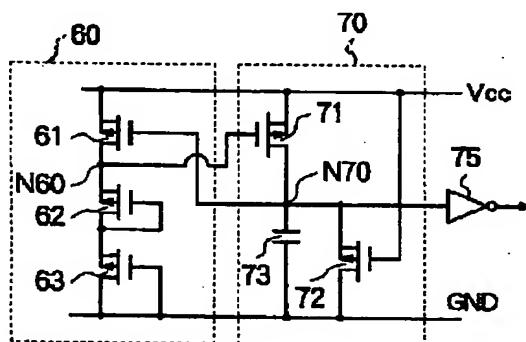
(74)代理人 弁理士 柿本 勝成

(54)【発明の名称】 パワーオンリセット回路

(57)【要約】

【課題】 電源電圧の立ち上がり速度に係わらず確実にワンショットパルスを形成するパワーオンリセット回路を簡単な構成で実現する。

【解決手段】 電源投入により電源電位Vccが所定のレベルに上昇すると、電源電圧検知回路60中のPMOS 61～63が導通し、ノードN60の電圧が設定され、PMOS 71がオンする。これにより、コンデンサー73が充電され、ノードN70の電圧が上昇する。ノードN70の電圧が上昇してインバータ75の閾値を越えると、該インバータ75の出力する論理レベルが“H”から“L”に変化する。電源電位Vccがさらに上昇すると、PMOS 61がオフとなり、以降の消費電流が0となる。



本発明の第1の実施形態のパワーオンリセット回路

(2)

【特許請求の範囲】

【請求項1】 電源電圧を電位差で示す第1の電源電位及び第2の電源電位の間に接続され、該電源電圧が固有の閾値以上になったときに導通して電流路を形成し第1のノードに検知電圧を示す電圧検知手段、及び帰還電圧に基づきオン、オフし該オフ状態のとき該電流路を遮断する遮断手段とを有し、該遮断手段がオン状態のときに該電源電圧の投入を検知する電源電圧検知回路と、

前記第1の電源電位と第2のノードとの間に接続され、前記検知電圧に基づき導通する導通手段、該第2のノードと前記第2の電源電位との間に接続されて該導通手段を介して時定数に基づく充電を行うコンデンサ、及び該電源電圧が該固有の閾値以下のときに導通して該コンデンサを放電させる放電手段を有するコンデンサ充電時定数回路と、

前記電源電圧を駆動源とし、前記第2のノードの電圧を固有の閾値で判定し、該判定結果に対応する論理レベルを出力する出力回路とを備え、

前記第2のノードの電圧を前記帰還電圧として前記遮断手段に与える構成にしたことを特徴とするパワーオンリセット回路。

【請求項2】 前記遮断手段は、前記第1の電源電位に接続された第1導通電極と前記第1のノードに接続された第2導通電極と前記帰還電圧を入力して該第1及び第2導通電極の間の導通状態を制御する第1制御電極とを有する第1のトランジスタで構成し、

前記電圧検知手段は、前記第1のノードと第2の電源電位との間に接続され、該第1のノードの電圧が固有の閾値以上になった場合に導通する任意数の整流素子で構成し、

前記導通手段は、前記第1の電源電位に接続された第3導通電極と該第2のノードに接続された第4導通電極と前記第1のノードに接続され前記検知電圧に基づき該第3及び第4導通電極の間の導通制御を行う第2制御電極とを有する第2のトランジスタで構成し、前記放電手段は、前記第2のノードに接続された第5導通電極と前記第2の電源電位に接続された第6導通電極と該第1の電源電位に接続されて該第5及び第6導通電極の間の導通状態を制御する第3制御電極とを有し、前記電源電圧が固有の閾値以下のとき導通する第3のトランジスタで構成したことを特徴とする請求項1記載のパワーオンリセット回路。

【請求項3】 前記第1の電源電位と前記第2のノードとの間に、前記第2のトランジスタに直列に接続され、導通状態のとき該第2のトランジスタのオン抵抗を増加させる整流素子または抵抗を設けたことを特徴とする請求項2記載のパワーオンリセット回路。

【請求項4】 電源電圧を電位差で示す第1の電源電位及び第2の電源電位のうちの第1の電源電位と出力ノードとの間に直列に接続され、該第1の電源電位と第2の電

2

源電位との間の電圧が固有の閾値以上になったときに導通する電圧検知回路と、

前記出力ノードと第2の電源電位の間に接続され、前記電圧検知回路を流れる電流で時定数に基づいた充電を行って該出力ノードの電位を設定するコンデンサ、及び該電源電圧が固有の閾値以下のときに導通して該コンデンサを放電させる放電手段を有するコンデンサ充電時定数回路と、

前記電源電圧を駆動源とし、前記出力ノードの電圧を固有の閾値で判定し、該判定結果に対応する論理レベルを出力する出力回路とを、
備えたことを特徴とするパワーオンリセット回路。

【請求項5】 前記電圧検知回路は、前記第1の電源電位と出力ノードとの間に直列に接続され、該第1の出力ノードと該第1の電源電位との間の電圧が固有の閾値以上になったときに導通する任意数の整流素子及び必要に応じて設けられた抵抗とで構成し、

前記放電手段は、前記出力ノードに接続された第1の導通電極と前記第2の電源電位に接続された第2導通電極と前記第1の電源電位に接続されて該第1及び第2導通電極の間の導通状態を制御する制御電極とを有し、前記電源電圧が固有の閾値以下のとき導通するトランジスターで構成したことを特徴とする請求項4記載のパワーオンリセット回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体集積回路に設けられ、該半導体集積回路内の他の回路をリセットするため、電源投入時にワンショットパルスを発生するパワーオンリセット回路に関するものである。

【0002】

【従来の技術】 従来のパワーオンリセット回路は、充電用コンデンサと、抵抗もしくは定電流源とで構成されるコンデンサ充電時定数回路とを備え、電源投入時にワンショットパルスを発生する。ところが、このコンデンサ充電時定数回路のみからなるパワーオンリセット回路では、電源電圧の立ち上がりスピードが、コンデンサの充電時定数よりも遅い場合に、ワンショットパルス（パワーオンリセット信号）を発生しないという問題点があつた。この問題に対処する技術としては、例えば次の文献1～3に記載されたものがあつた。

文献1；特開昭63-246919号公報

文献2；特開平4-72912号公報

文献3；特開平6-196989号公報

上記文献1のパワーオンリセット回路は、電源電圧の印加に応答してセットされるフリップフロップと、電源電圧が所定の電圧以上に上昇した時点から所定の遅延の後に、そのフリップフロップを強制的にリセットする電源電圧検出回路とを備えている。

【0003】 文献2のパワーオンリセット回路は、電源

(3)

3

電圧が所定の電圧に上昇したことを検出する電源電圧検出回路と、電源電圧検出回路の出力信号の遅延を行う遅延回路と、該遅延回路の出力信号の波形整形を行う波形整形回路とを、備えている。文献3のパワーオンリセット回路は、電源電圧を入力電圧とし、それが予め設定された電圧を超えたことに応答してその予め設定された電圧を出力し、入力電圧が予め設定された電圧以下のときにはこの入力電圧を出力する電圧制御手段と、その電圧制御手段の出力電圧とを入力し、電圧制御手段の入力電圧と予め設定された電圧との差が、所定の値に達したことに応答し、所定のパルスを出力するパルス発生回路とを備えている。

【0004】

【発明が解決しようとする課題】しかしながら、従来のパワーオンリセット回路では、次のような課題があった。図2～図4は、従来のパワーオンリセット回路の具体的な回路例（その1～3）を示す回路図であり、前記文献1～3にそれぞれ示されたものである。文献1に示されたパワーオンリセット回路は、図2のように、2個のインバータ2a, 2bで構成され、電源電圧の上昇を検出して保持するフリップフロップ2と、該フリップフロップ2に接続されたコンデンサ3と、MOSトランジスタ4と、電源電圧検出回路10とで構成されている。その電源電圧検出回路10は、フリップフロップ2の出力端子に接続された2段のインバータ11, 12と、複数のMOSダイオード13で構成されたMOSダイオードアレイ14と、コンデンサ15と、MOSトランジスタ16とを備え、図2のように接続されている。このように、文献1に示されたパワーオンリセット回路は、コンデンサと抵抗とインバータとからなる一般的なパワーオンリセット回路に、サポート的な回路を並列的に設けて強制的にフリップフロップ2に対するリセット信号を生成する構成なので、電源電圧検出回路10が複雑な構成になるという課題があった。文献2に具体的に示されたパワーオンリセット回路は、図3のように、電源電圧検出回路20と遅延回路30と波形整形回路40とで構成されている。

【0005】電源電圧検出回路20は、電源電位Vccとグランドとの間に直列に接続された抵抗21及びNチャネル型MOSダイオード22と、該抵抗21とMOSダイオード22との接続点N1に一端が接続された抵抗23と、該抵抗23の他端とグランドとの間に接続された抵抗24とを備えている。抵抗23と抵抗24の接続点N2には、電源電圧で動作するインバータ25と、Pチャネル型MOSトランジスタ（以下、PMOSという）26のソースとが接続されている。インバータ25はPMOS25aとNチャネル型MOSトランジスタ（以下、NMOSという）25bとで構成されている。PMOS26のゲートはインバータ25の出力端子に接続され、該PMOS26のドレインがグランドに接続さ

れている。遅延回路30は、インバータ25の出力端子にソースが接続されると共にゲートが電源電位Vccに接続されたNMOS31と、NMOS31のドレインとグランドとの間に接続されたコンデンサ32とを備えている。波形整形回路40は、NMOS31とコンデンサ32との接続点N3に入力端子が接続されたインバータ41と、電源電位Vccと接続点N3との間に接続されると共に該インバータ41の出力端子にゲートが接続されたPMOS42とを備えている。この文献2のパワーオンリセット回路では、電源電圧検出回路20中の抵抗21, 23, 24が電源電位Vccとグランドとの間の電圧を分割する構成であり、ワンショットパルスを発生した後も該抵抗21, 23, 24に電流が流れ、消費電流を0にできないという課題があった。

【0006】文献3に具体的に示されたパワーオンリセット回路は、図4のように、電源電位Vddにソースが接続されたエンハンスマント型PMOS51と、該PMOS51のドレインとグランドとの間に接続された電圧制御回路52とを備えている。電圧制御回路52は、ドレインがPMOS51のソースに接続されたデプレッシュン型NMOS52aと、該NMOS52aのゲートとソースとが、ゲート及びドレインに接続されたエンハンスマント型NMOS52bと有している。NMOS52bのソースがグランドに接続されている。電圧制御部52の出力端子には、エンハンスマント型NMOS54のドレインとパルス生成部53が接続されている。エンハンスマント型NMOS54のソースは接地されている。パルス生成部53は、電源電位Vddにソースが接続されたエンハンスマント型PMOS53aと、該PMOS53aとグランドとの間の接続されたコンデンサ53bと、該PMOS53a及びコンデンサ53bの接続点に入力端子が接続されたインバータ53cとを備えている。パルス生成部53のインバータ53cの出力側が、出力端子に接続されると共にインバータ55に接続されている。インバータ55の出力側が、PMOS51のゲートとNMOS54のゲートに接続されている。この文献3に示されたパワーオンリセット回路は、パルス生成部53でワンショットパルスを出力した後の定常的な消費電流を0にするために、インバータ55を設ける必要があり、回路構成が単純化されていないという課題があった。

【0007】

【課題を解決するための手段】前記課題を解決するためには、本発明のうちの第1～第3の発明は、パワーオンリセット回路において、次のような電源電圧検知回路、コンデンサ充電時定数回路、及び出力回路を設けている。電源電圧検知回路は、電源電圧の投入を検知する回路であり、電源電圧を電位差で示す第1の電源電位及び第2の電源電位の間に接続され、その電源電圧が固有の閾値以上になったときに導通して電流路を形成し第1のノ

(4)

5

ドに検知電圧を示す電圧検知手段と、帰還電圧に基づきオン、オフしそのオフ状態のとき電流路を遮断する遮断手段とを有し、その遮断手段がオン状態のときに電源電圧の投入を検知する構成にしている。コンデンサ充電時定数回路は、第1の電源電位と第2のノードとの間に接続され、検知電圧に基づき導通する導通手段、第2のノードと第2の電源電位との間に接続されてその導通手段を介して時定数に基づく充電を行うコンデンサ、及び電源電圧が固有の閾値以下のときに導通してコンデンサを放電させる放電手段を有している。出力回路は、電源電圧を駆動源とし、第2のノードの電圧を固有の閾値で判定し、この判定結果に対応する論理レベルを出力するものである。そして、第2のノードの電圧を帰還電圧として遮断手段に与える構成にしている。

【0008】第4及び第5の発明は、パワーオンリセット回路において、次のような電圧検知回路、コンデンサ充電時定数回路、及び出力回路で構成している。電圧検知回路は、電源電圧を電位差で示す第1の電源電位及び第2の電源電位のうちの第1の電源電位と出力ノードとの間に直列に接続され、第1の電源電位と第2の電源電位との間の電圧が固有の閾値以上になったときに導通する回路である。コンデンサ樹出時定数回路は、その出力ノードと第2の電源電位との間に接続され、電圧検知回路を流れる電流で時定数に基づいた充電を行って出力ノードの電位を設定する充電用コンデンサ、電源電圧が固有の閾値以下のときに導通して該コンデンサを放電させる放電手段を有している。出力回路は、電源電圧を駆動源とし、出力ノードの電圧を固有の閾値で判定し、この判定結果に対応する論理レベルを出力する回路である。

【0009】第1～第3の発明によれば、以上のようにパワーオンリセット回路を構成したので、電源投入前には、放電手段が導通してコンデンサが放電している。遮断手段は、このとき第2のノードの電圧すなわち帰還電圧によりオンしている。電源投入によって、電源電圧が上昇すると電圧検知手段が導通し、第1のノードに検知電圧が示される。検知電圧によって導通手段が導通し、コンデンサの充電が開始され、第2のノードの電圧が上昇する。第2のノードの電圧が出力回路の固有の閾値を越えると、それまでに出力回路の出力していた論理レベルが変化し、ワンショットパルスが形成される。さらに、電源電圧が上昇すると第1の電源電位の電圧と帰還電圧との差により、遮断手段がオフする。第4及び第5の発明によれば、電源電圧の上昇により、第1及び第2の電源電位の電位差が開き電圧検知回路が導通し、これによりコンデンサの充電が開始され、出力ノードの電圧が上昇する。出力ノードの電圧が出力回路の固有の閾値を越えると、それまでに出力回路の出力していた論理レベルが変化し、ワンショットパルスが形成される。電源電圧がさらに上昇すると出力ノードの電圧が上昇し、電圧検知回路が導通状態から遮断状態に移行する。従つ

て、前記課題を解決できるのである。

【0010】

【発明の実施の形態】

第1の実施形態

図1は、本発明の第1の実施形態を示すパワーオンリセット回路の回路図である。このパワーオンリセット回路は、電源電圧検知回路60とコンデンサ充電時定数回路70と出力回路75とを備えている。電源電圧検知回路60は、第1の電源電位Vccにソースが接続された遮断手段である第1のトランジスタのPMOS61と、該PMOS61のドレインと第2の電源電位であるグランドGNDとの間に直列に接続された電圧検知手段である整流素子を形成するPMOS62及びPMOS63とを、備えている。電位VccとグランドGNDとの電位差が、供給された電源電圧Vccを示している。PMOS61のドレインにPMOS62のソースが接続され、該PMOS62のドレインは、PMOS63のソースに接続されると共に該PMOS62のゲートに接続されている。PMOS63のゲート及びドレインはグランドGNDに接続されている。PMOS61のドレインとPMOS62のソースとの第1の接続ノードN60が、この電源電圧検知回路60の出力端子になっている。

【0011】コンデンサ充電時定数回路70は、ノードN60がゲートに接続されると共にソースが電源電位Vccに接続された導通手段である第2のトランジスタのPMOS71と、ゲートが電源電位Vccに接続された放電手段である第3のトランジスタのPMOS72とを備えている。PMOS71のドレインにPMOS72のソースが接続されると共に、コンデンサ73の一方の電極が接続されている。PMOS72のドレインとコンデンサ73の他方の電極とは、グランドGNDに共通に接続されている。PMOS72のゲートは電源電位Vccに接続されている。これらPMOS71のドレインとPMOS72のソースとコンデンサ73の接続点が第2のノードN70であり、コンデンサ充電時定数回路70の出力端子になって該PMOS61のゲートに接続されると共にインバータ75の入力端子に接続されている。インバータ75は、電源電圧検知回路60及びコンデンサ充電時定数回路70の同様に、電源電圧Vccで駆動され、該インバータ75の出力端子から、ワンショットパルスが出力される構成になっている。

【0012】図5(a)～(d)は、図1の動作を示す波形図であり、この図5(a)～(d)を参照しつつ、図1のパワーオンリセット回路の動作を説明する。電源電位Vccが0Vのとき、PMOS72はMOSダイオード接続された状態になり、コンデンサ73に充電されていた電荷が該PMOS72を介して放電される。よって、ノードN70の電圧は、PMOS72の閾値電圧Vt72以下になり、帰還電圧としてPMOS61のゲートに与えられている。この状態から、図5(a)のよう

(5)

7

電源電圧 V_{cc} が上昇すると、インバータ 75 は “H” レベルを出力するが、その電圧は、図 5 (b) のように電源電位 V_{cc} と共に上昇する。電源電位 V_{cc} が閾値電圧 V_{t72} と PMOS 61 の閾値電圧 V_{t61} との合計

$(V_{t72} + V_{t61})$ 以上になると、PMOS 72 はオフし、PMOS 61 はオン可能状態になる。ここで、PMOS 62, 63 の閾値電圧 V_{t62} , V_{t63} の合計 ($V_{t62} + V_{t63}$) を合計 ($V_{t72} + V_{t61}$) よりも大きく設定しておけば、PMOS 61 のドレインの電圧は、該ドレインに直列に接続された 2 個の PMOS 62, 63 の閾値電圧 V_{t62} , V_{t63} で構成されるMOSダイオード電圧 ($V_{t62} + V_{t63}$) によってクランプされた状態のままである。つまり、各 PMOS 62, 63 がオンせず、ノード N60 の電圧は、ほぼ電源電位 V_{cc} の上昇に伴った電圧になる。この状態は、電源電圧 V_{cc} が $(V_{t72} + V_{t61})$ 以上になってから $(V_{t62} + V_{t63})$ 以上になるまで続く。よって、PMOS 71 のゲートの電位もほぼ電源電位 V_{cc} と等しく、PMOS 71 はオフのままである。

【0013】電源電圧 V_{cc} が上昇して電圧 ($V_{t62} + V_{t63}$) 以上になると、PMOS 62, 63 がオンして PMOS 61 には電流が流れ。これにより、PMOS 71 のソース・ゲート間には電圧 ($V_{cc} - V_{t62} - V_{t63}$) が印加される。さらに、電源電圧 V_{cc} が上昇し、その値が各閾値電圧 V_{t62} , V_{t63} と PMOS 71 の閾値 V_{t71} の合計 ($V_{t62} + V_{t63} + V_{t71}$) 以上になると、PMOS 71 は完全にオンする。PMOS 71 がオンすると、PMOS 71 が導通して図 5 (d) のような電流を流し、コンデンサ 73 の充電が始まり、ノード N70 の電圧が、PMOS 71 のオン抵抗とコンデンサ 73 の容量で決まる時定数の早さで上昇する。ノード N70 の電圧が、インバータ 75 の閾値に達すると、インバータ 75 の出力値は、図 5 (b) のように、“H” から “L” に変化し、該インバータ 75 の出力値の

“H” が上昇することで開始されたワンショットパルスの出力が、インバータ 75 の出力値が “L” に変化することで終了する。コンデンサ 73 の充電が進行してノード N70 の電圧がさらに上昇すると、PMOS 61 のゲート電位が上昇してそのゲート・ソース間電圧が小さくなり、最終的に PMOS 61 は、図 5 (c) のようにオフする。PMOS 61 がオフすることで、ノード N60 の電圧も低下する。このノード N60 の電圧の低下に伴って、PMOS 71 もオフし、ノード N70 のレベルは “H” レベルのまま維持される。

【0014】以上のように、この第 1 の実施形態のパワーオンリセット回路は、電源電位 V_{cc} とグランド GND 間で直列に接続された PMOS 61 ~ 63 を有する電源電圧検知回路 60 とコンデンサ充電時定数回路 70 とインバータ 75 とを備え、電源電位 V_{cc} が、電圧 ($V_{t62} + V_{t63} + V_{t71}$) 以上になったときに該コンデン

8

サ充電時定数回路 70 内のコンデンサ 73 の充電を開始させるようにしたので、電源電圧 V_{cc} の立ち上がりが遅い場合でも、インバータ 75 の出力する電源投入直後の “H” から始まり “L” になって終了するワンショットのパワーオンリセットパルスを必ず発生できる。また、PMOS 61 はパルスが発生した後に最終的にオフになるので、それ以降の消費電流はなくなる。その上、電源電圧検知回路 60 の回路構成は、従来の図 2 よりもはるかに簡単な構成ですみ、かつ、PMOS 61 のゲートはノード N70 に直接接続され、図 4 のようなインバータ 12 を設ける必要もない。

【0015】第2の実施形態

図 6 は、本発明の第 2 の実施形態を示すパワーオンリセット回路の回路図である。このパワーオンリセット回路は、第 1 の実施形態とは異なる構成の電源電圧検知回路 80 及びコンデンサ充電時定数回路 90 と出力回路 95 とを備えている。電源電圧検知回路 80 は、電源電位 V_{cc} にソースが接続された遮断手段である第 1 のトランジスタの PMOS 81 と、該 PMOS 81 のドレインとグランド GND との間に接続された整流素子を形成する PMOS 82 を備えている。PMOS 82 のソースは PMOS 81 のドレインに接続され、該 PMOS 82 のドレイン及びゲートが、グランド GND に接続されている。第 1 のノードである PMOS 81 のドレインと PMOS 82 のソースとの接続ノード N80 が、この電源電圧検知回路 80 の出力端子になっている。

【0016】コンデンサ充電時定数回路 90 は、電源電位 V_{cc} にソースが接続された整流素子を形成する PMOS 91 と、該 PMOS 91 のドレイン及びゲートにソースが接続され、ノード N90 にゲートが接続された導通手段である第 2 のトランジスタの PMOS 92 と、ゲートが電源電位 V_{cc} に接続された放電手段である第 3 のトランジスタの PMOS 93 を備えている。PMOS 93 のソースは、PMOS 92 のドレインに接続され、該 PMOS 93 のドレインが、グランド GND に接続されている。PMOS 92 のドレインとグランド GND との間には、充電用コンデンサ 94 が接続されている。第 2 のノードである PMOS 92 のドレイン、PMOS 93 のソース及びコンデンサ 94 の接続ノード N90 は、このコンデンサ充電時定数回路 90 の出力端子となり、このノード N90 が PMOS 81 のゲートと、出力回路であるインバータ 95 の入力端子とに接続されている。出力回路であるインバータ 95 の出力端子から、ワンショットパルスが outputされる構成になっている。

【0017】図 7 (a) ~ (d) は、図 6 の動作を示す波形図であり、この図 7 (a) ~ (d) を参照しつつ、図 6 のパワーオンリセット回路の動作を説明する。電源電位 V_{cc} が 0 V のとき、PMOS 93 は MOS ダイオード接続された状態になり、コンデンサ 94 に充電されていた電荷が該 PMOS 93 を介して放電される。よつ

(6)

9

て、接続点N90の電圧は、PMOS93の閾値電圧V_{t93}以下になる。この状態から、図7(a)のように電源電圧V_{cc}が上昇すると、インバータ95はインバータ95は“H”レベルを出力するが、その電圧は、図7(b)のように電源電位V_{cc}と共に上昇する。電源電位V_{cc}がPMOS93の閾値電圧V_{t93}とPMOS81の閾値電圧V_{t81}との合計(V_{t93}+V_{t81})以上になると、PMOS93はオフし、PMOS81はオン可能状態になる。ここで、PMOS82の閾値電圧V_{t82}を、合計(V_{t93}+V_{t61})よりも大きく設定しておけば、PMOS81のドレインの電圧は、該ドレインに直列に接続されたPMOS82の閾値電圧V_{t82}で構成されるMOSダイオード電圧によってクランプされた状態のままである。よって、ノードN80の電圧は、ほぼ電位V_{cc}の上昇に伴った電圧になり、PMOS92のゲートの電圧もほぼ電源電圧V_{cc}と等しく、該PMOS92はオフのままである。

【0018】電源電位V_{cc}が上昇し、閾値電圧V_{t82}とPMOS91の閾値電圧V_{t91}の合計の電圧(V_{t82}+V_{t91})以上になると、PMOS92のソース・ゲート間には電圧(V_{cc}-V_{t82}-V_{t91})が印加される。さらに、電源電位V_{cc}が上昇し、その値が各閾値電圧V_{t82}及びV_{t91}とPMOS92の閾値V_{t92}の合計(V_{t82}+V_{t91}+V_{t92})以上になると、PMOS92は完全にオンする。PMOS92がオンすると、図7(d)のようにPMOS92に電流が流れ、コンデンサ94の充電が始まり、ノードN90の電圧が、PMOS92のオン抵抗とコンデンサ94の容量で決まる時定数の早さで上昇する。ノードN90の電圧が、インバータ95の閾値に達すると、インバータ95の出力値は、図7(b)のように、“H”から“L”に変化し、該インバータ95の出力値の“H”が上昇することで開始されたワンショットパルスの出力が、インバータ95の出力値が“L”に変化することで終了する。コンデンサ94の充電が進行してノードN90の電圧がさらに上昇すると、PMOS81のゲート電位が上昇してそのゲート・ソース間の電圧が小さくなり、図7(c)のように、最終的にPMOS81はオフする。PMOS81がオフすることで、ノードN80の電圧も低下する。このノードN80の電圧の低下に伴って、PMOS92もオフし、ノードN90のレベルは、“H”レベルのまま維持される。

【0019】以上のように、この第2の実施形態のパワーオンリセット回路では、電源電圧V_{cc}とグランドGNDとの間で直列に接続されたPMOS81, 82を有する電源電圧検知回路80とコンデンサ充電時定数回路90とインバータ95とを備え、電源電位V_{cc}が、電圧(V_{t82}+V_{t91}+V_{t92})以上になったときに該コンデンサ充電時定数回路90内のコンデンサ94の充電を開始させたようにしたので、第1の実施形態と同様に

10

簡単な回路構成で、電源電圧V_{cc}の立ち上がりが遅い場合でも、インバータ95の出力する電源投入直後の“H”から始まり“L”になって終了するワンショットのパワーオンリセットパルスを必ず発生できる。また、ワンショットパルスが発生した後に、PMOS81は最終的にオフになるので、それ以降の無駄な消費電流がない。さらに、この第2の実施形態のパワーオンリセット回路は、第1の実施形態よりも長時間のワンショットパルスを発生させたい場合に有効である。即ち、PMOS92と電源電位V_{cc}との間にPMOS91を設けたので、コンデンサ94の充電が進んでノードN90の電圧が上昇すると、PMOS92の動作領域が飽和領域から非飽和領域へと変化し、該PMOS92のドレインとソースに流れる電流が減少する。即ち、コンデンサ94の充電スピードが低下する。よって、インバータ95の閾値電圧を、PMOS92が非飽和領域で動作する電圧よりも高く設定しておけば、そのコンデンサ94の容量値を大きくせずとも、長時間のワンショットパルスを発生させることができる。

【0020】第3の実施形態

図8は、本発明の第3の実施形態を示すパワーオンリセット回路の回路図である。このパワーオンリセット回路は、電圧検知回路100とコンデンサ充電時定数回路110と出力回路であるインバータ115とで構成されている。電圧検知回路100は、第1の電源電位V_{cc}にソースが接続された整流素子を形成するPMOS101と、該PMOS101のドレイン及びゲートにソースが接続された整流素子を形成するPMOS102と、該PMOS102のドレイン及びゲートにソースが接続されると共にゲートが第2の電源電位のグラウンドGNDに接続された整流素子を形成するPMOS103とを備えている。PMOS103のドレインが、出力ノードN100に接続されている。

【0021】コンデンサ充電時定数回路110は、出力ノードN100とグラウンドGNDとの間に接続されたコンデンサ111と、ゲートが電源電位V_{cc}に接続され、ソースが出力ノードN100に接続されると共にドレインがグラウンドGNDに接続された導通手段であるPMOS112とを備えている。コンデンサ充電時定数回路110の出力側に、出力ノードN100に入力側が接続されたインバータ115が接続されている。インバータ115は、電源電圧V_{cc}で駆動され、該インバータ115の出力端子から、ワンショットパルスがOutputされる構成になっている。この実施形態のパワーオンリセット回路は、PMOSのバックゲート電圧を電源電圧V_{cc}以外に自由に設定できるNウェルを有する半導体集積回路において実現できる。

【0022】図9(a)～(c)は、図8の動作を示す波形図であり、この図9(a)～(c)を参照しつつ、図8のパワーオンリセット回路の動作を説明する。電源

(7)

11

電圧を表す電位 V_{cc} が $0V$ のとき、PMOS 112 が MOS ダイオード接続された状態になり、コンデンサ 111 に蓄えられた電荷が該 PMOS 112 を通して放電され、該出力ノード N100 の電圧は、PMOS 112 の閾値 V_{t112} 以下になる。この状態から電源電圧が上昇すると、インバータ 115 は “H” レベルを出力するが、その電圧は、図 9 (b) のように、電源電位 V_{cc} と共に上昇する。電源電圧が上昇して、図 9 (a) のように電位 V_{cc} が PMOS 101 ~ 103 の各々の閾値電圧の合計値 ($V_{t101} + V_{t102} + V_{t103}$) 以上に達すると、PMOS 103 のソース・ゲート間に ($V_{cc} - V_{t103}$) の電圧が印加されて該 PMOS 103 はオンする。これにより、コンデンサ 111 への充電が始まり、出力ノード N100 の電圧は、PMOS 103 のオン抵抗とコンデンサ 111 の容量値で定まる時定数の早さで上昇する。そして、出力ノード N100 の電圧がインバータ 115 の閾値に達すると、該インバータ 115 の出力値は、“H” から “L” に反転し、ワンショットのパワーオンリセットが形成される。さらに、コンデンサ 111 が充電されて出力ノード N100 の電圧が上昇すると、PMOS 103 のドレイン電位が上昇する。そのため、PMOS 103 の動作領域は飽和領域から非飽和領域へと移り、やがて、PMOS 103 がオフする。PMOS 103 がオフすることで、ノード N100 のレベルは、“H” レベルのまま維持される。

【0023】以上のように、この第 3 の実施形態のパワーオンリセット回路では、電圧検知回路 100 とコンデンサ充電時定数回路 110 とで、第 1 及び第 2 の実施形態の電源電圧検知回路 60, 80 と、コンデンサ充電時定数回路 70, 90 との両機能を合せ持つような回路を構成し、電源電圧 V_{cc} が所定の電圧値 ($V_{t101} + V_{t102} + V_{t103}$) 以上になった後、コンデンサ 111 への充電動作を開始させる為、電源電圧 V_{cc} の立ち上がりがどんなに遅くても、インバータ 115 の出力する電源投入直後の “H” から始まり “L” になって終了するワンショットのパワーオンリセットパルスを必ず発生できる。また、PMOS 103 が、ついにはオフするので、この回路の定常時消費電流は 0 となる。さらに、第 2 の実施例と同様に、長時間のパワーオンリセットパルスを発生させたい場合には有効である。すなわち、コンデンサ 111 の充電が進むと、出力ノード N100 の電圧上昇に伴い PMOS 103 の動作領域は飽和領域から非飽和領域へと変化し、該 PMOS 103 のドレインとソースに流れる電流が減少する。即ち、コンデンサ 111 の充電スピードが低下する。よって、インバータ 115 の閾値電圧を PMOS 103 が非飽和領域で動作する電圧より高く設定してやれば、コンデンサ 111 の容量値を大きくすることなく長時間のワンショットパルスを発生させことが可能となる。その上、第 1 及び第 2 の実施形態よりもトランジスタを 1 つ削減した回路が実現で

12

きる。

【0024】第 4 の実施形態

図 10 は、本発明の第 4 の実施形態を示すパワーオンリセット回路の回路図である。このパワーオンリセット回路は、電圧検知回路 120 とコンデンサ充電時定数回路 130 と出力回路であるインバータ 135 とで構成されている。電圧検知回路 120 は、第 1 の電源電位のグランド GND にソースが接続された整流素子を形成する NMOS 121 と、該 NMOS 121 のドレイン及びゲートにソースが接続された整流素子を形成する NMOS 122 と、該 NMOS 122 のドレイン及びゲートにソースが接続されると共にゲートが第 2 の電源電位である電位 V_{cc} に接続された整流素子を形成する NMOS 123 とを備えている。NMOS 123 のドレインが、出力ノード N120 に接続されている。コンデンサ充電時定数回路 130 は、出力ノード N120 と電源電位 V_{cc} との間に接続されたコンデンサ 131 と、ゲートがグランド GND に接続され、ソースが電源電位 V_{cc} に接続されると共にドレインが出力ノード N120 に接続された放電手段である NMOS 132 を備えている。コンデンサ充電時定数回路 130 の出力側に、出力ノード N120 に接続されたインバータ 135 が接続されている。インバータ 135 は、電源電圧 V_{cc} で駆動され、該インバータ 135 の出力端子から、ワンショットパルスが出力される構成になっている。この実施形態のパワーオンリセット回路は、NMOS のバックゲート電圧を電源電圧 V_{cc} 以外に自由に設定できる P ウエルを有する半導体集積回路において実現できる。

【0025】図 11 (a) ~ (c) は、図 10 の動作を示す波形図であり、この図 11 (a) ~ (c) を参照しつつ、図 10 のパワーオンリセット回路の動作を説明する。電源電圧を表す電源電位 V_{cc} が $0V$ のとき、NMOS 132 が MOS ダイオード接続された状態になり、コンデンサ 131 に蓄えられた電荷が該 NMOS 132 を通して放電され、該出力ノード N120 の電圧は、NMOS 132 の閾値 V_{t132} 以下になる。この状態から電源電圧が上昇すると、インバータ 115 は “H” レベルを出力するが、その電圧は、図 11 (b) のように、電源電位 V_{cc} と共に上昇する。電源電圧が上昇すると、出力ノード N120 の電圧は ($V_{cc} - V_{t132}$) で上昇する。電源電位 V_{cc} が、NMOS 123 の閾値 V_{t123} 以上になると、NMOS 123 がオン可能状態になるが、NMOS 121, 122 の閾値電圧 V_{t121}, V_{t122} の合計 ($V_{t121} + V_{t122}$) を閾値 V_{t123} よりも大きく設定すると、NMOS 123 のソース電位が、NMOS 121, 122 の 2 段の MOS ダイオード電圧でクランプされるので、該 NMOS 123 はオフ状態のままである。そして、NMOS 123 のドレインの電位が、各 NMOS 121, 122 の閾値 V_{t121}, V_{t122} と、閾値 V_{t123} の合計値 ($V_{t121} +$

(8)

13

$V_{t122} + V_{t123}$) 以上に達すると、NMOS 123 はオンして電流を流す。これにより、コンデンサ 131 への充電が始まり、出力ノード N120 の電圧は、図 1 1 (c) のように、NMOS 123 のオン抵抗とコンデンサ 131 の容量値で定まる時定数の早さで電圧 ($V_{cc} - V_{t132}$) より低下する。そして、出力ノード N120 の電圧がインバータ 135 の閾値まで低下すると、該インバータ 135 の出力値は、“L”から“H”に反転し、ワンショットのパワーオンリセットパルスが形成される。さらに、コンデンサ 131 の充電で出力ノード N120 の電圧が低下すると、NMOS 123 のドレン電位が低下し、NMOS 123 の動作領域は飽和領域から非飽和領域へと移り、やがて、NMOS 123 がオフする。NMOS 123 がオフすることで、ノード N120 のレベルは、“H”レベルのまま維持される。

【0026】以上のように、この第4の実施形態のパワーオンリセット回路では、第3の実施形態と同様に、電圧検知回路 120 とコンデンサ充電時定数回路 120 とで、第1及び第2の実施形態の電源電圧検知回路 60, 80 と、コンデンサ充電時定数回路 70, 90 との両機能を合せ持つような回路を構成し、電源電圧 V_{cc} が所定の電圧値 ($V_{t121} + V_{t122} + V_{t123}$) 以上になつた後、コンデンサ 131 への充電動作を開始させる為、電源電圧 V_{cc} の立ち上がりがどんなに遅くても、インバータ 135 の出力する電源投入直後の “H” から始まり “L” になって終了するワンショットのパワーオンリセットパルスを必ず発生できる。また、NMOS 123 が、ついにはオフするので、この回路の定常時消費電流は 0 となる。その上、第1及び第2の実施形態よりもトランジスタを 1つ削減した回路が実現できる。なお、本発明は、上記実施形態に限定されず種々の変形が可能である。その変形例としては、例えば次のようなものがある。

【0027】(1) 第1の実施形態及び第2の実施形態では、Nウエルに形成されたPMOSのみを用いた例を示したが、第1の実施形態ではPMOS 63をNMOSに、第2の実施ではPMOS 82をNMOSにそれぞれ変更することも可能である。

(2) 図12は、図1の変形例を示すパワーオンリセット回路の回路図である。第1の実施形態では、Nウエルに形成されたPMOSのみを用いた例を示したが、その各 PMOS 61～63, 71, 72 を Pウエルに形成した NMOS 141～143, 151, 152 にそれぞれ変更できる。この場合には、図12のよう、電源電圧 V_{cc} とグランド電位 GND とを逆に接続すればよい。

(3) 図13は、図6の変形例を示すパワーオンリセット回路の回路図である。第2の実施形態では、Nウエルに形成されたPMOSのみを用いた例を示したが、その各 PMOS 81, 82, 91～93 を Pウエルに形成

(8)

14

した NMOS 161, 162, 171～173 にそれぞれ変更できる。この場合には、図13のよう、電源電圧 V_{cc} とグランド電位 GND とを逆に接続すればよい。

【0028】(4) 図14は、図8の変形例を示すパワーオンリセット回路の回路図である。第3の実施形態では、PMOSを用いた例を説明したが、Nウエルプロセスを有する場合であれば、図14のよう、PMOS 101, 102 を PNダイオード 181, 182 に、PMOS 103 を PNダイオード 183 及び抵抗 184 に、PMOS 112 をバイポーラトランジスタ 185 に、それぞれ置き換える事ができる。また、この図14の回路は、NウエルCMOSプロセスだけでなく、BiCMOSやバイポーラプロセスを用いた集積回路でも構成可能である。

(5) 図15は、図10の変形例を示すパワーオンリセット回路の回路図である。第4の実施形態では、NMOSを用いた例を説明したが、Pウエルプロセスを有する場合であれば、図15のよう、NMOS 123 を PNダイオード 193 と抵抗 194 に、NMOS 122 を PNダイオード 192 に、NMOS 121 を PNダイオード 191 に、PMOS 132 をバイポーラトランジスタ 195 に、それぞれ置き換える事ができる。また、この図15の回路は、PウエルCMOSプロセスだけでなく、BiCMOSやバイポーラプロセスを用いた集積回路でも構成可能である。

【0029】

【発明の効果】以上詳細に説明したように、第1～第3の発明によれば、電圧検知手段及び遮断手段を有し、遮断手段がオン状態のときに電源電圧の投入を検知する電源電圧検知回路と、検知電圧に基づき導通する導通手段、該導通手段を介して時定数に基づく充電を行うコンデンサ、及び放電手段を有するコンデンサ充電時定数回路と、出力回路とを設け、かつ、第2のノードの電圧を帰還電圧として遮断手段に与える構成にしたので、電源投入に際し、その立ち上がり速度に係わらず確実にワンショットパルスを形成できるパワーオンリセット回路を簡単な構成で実現できる。その上、ワンショットパルスを形成したのちの消費電流を 0 にできる。第4及び第5の発明によれば、第1の電源電位と第2の電源電位との間の電圧が固有の閾値以上になったときに導通する電圧検知回路と、その電圧検知回路を流れる電流で時定数に基づいた充電を行って出力ノードの電位を設定するコンデンサ、及びコンデンサを放電させる放電手段を有するコンデンサ充電時定数回路と、出力回路とで構成したので、第1～第3の発明と同様の効果を有するパワーオンリセット回路を、さらに、素子数を削減して実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すパワーオンリセ

(9)

15

ット回路の回路図である。

【図2】従来のパワーオンリセット回路の具体的回路例(その1)を示す回路図である。

【図3】従来のパワーオンリセット回路の具体的回路例(その2)を示す回路図である。

【図4】従来のパワーオンリセット回路の具体的回路例(その3)を示す回路図である。

【図5】図1の動作を示す波形図である。

【図6】本発明の第2の実施形態を示すパワーオンリセット回路の回路図である。

【図7】図6の動作を示す波形図である。

【図8】本発明の第3の実施形態を示すパワーオンリセット回路の回路図である。

【図9】図8の動作を示す波形図である。

【図10】本発明の第4の実施形態を示すパワーオンリセット回路の回路図である。

【図11】図10の動作を示す波形図である。

【図12】図1の変形例を示すパワーオンリセット回路の回路図である

【図13】図6の変形例を示すパワーオンリセット回路

(10)

16

の回路図である

【図14】図8の変形例を示すパワーオンリセット回路の回路図である

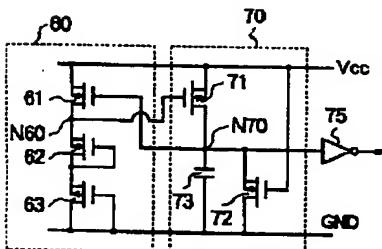
【図15】図10の変形例を示すパワーオンリセット回路の回路図である

【符号の説明】

60, 80	電源電圧検知回路
61, 81	遮断手段
62, 63, 82	電圧検知手段
10, 90, 100, 120	コンデンサ充電時定数回路
71, 92	導通手段
72, 93, 112, 132	放電手段
73, 94, 111, 131	コンデンサ
75, 95, 115, 135	出力回路
100	電圧検知回路
N60, N80	第1のノード
N70, N90	第2のノード
N100, N120	出力ノード

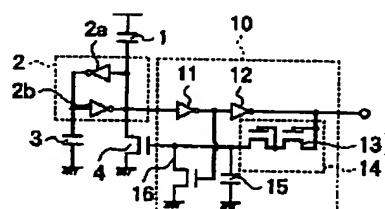
20.

【図1】



本発明の第1の実施形態のパワーオンリセット回路

【図2】



(10)

【図5】

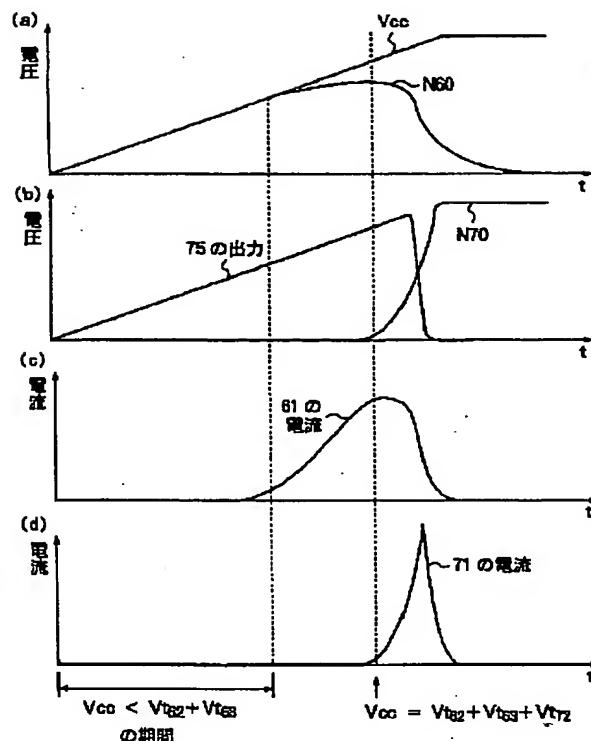


図1の動作波形

【図7】

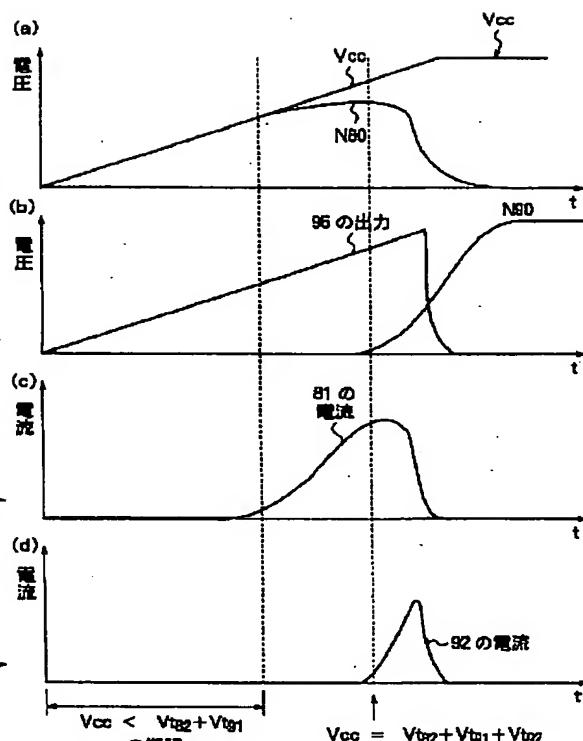
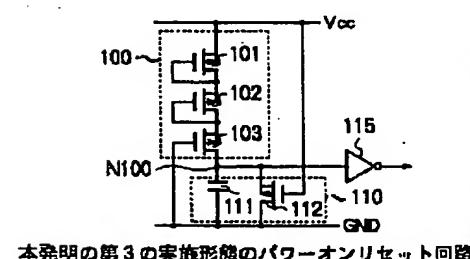


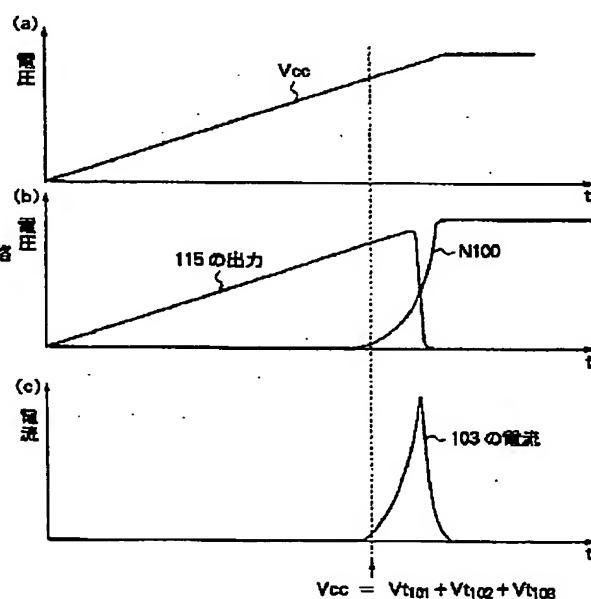
図6の動作波形

【図8】



本発明の第3の実施形態のパワーオンリセット回路

【図9】



【図14】

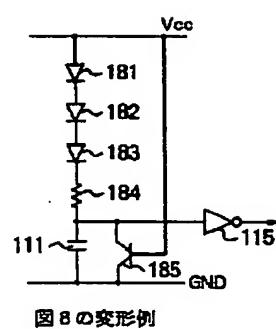
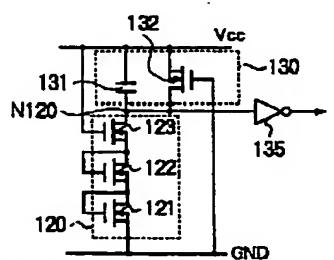


図8の変形例

【図10】

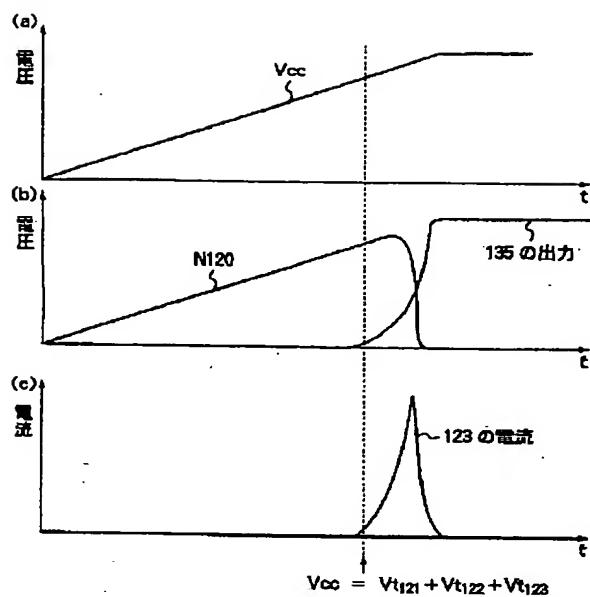


本発明の第4の実施形態のパワーオンリセット回路

図8の動作波形

(11)

【図11】



【図13】

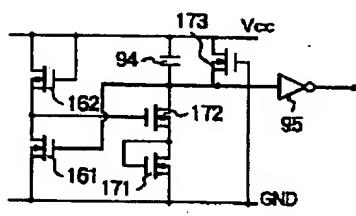


図6の変形例

【図15】

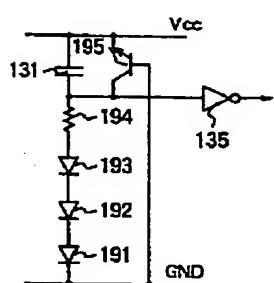


図10の変形例

図10の動作波形